

ZBKボードハードウェア説明書

(有)中日電工

1章 I/O制御	1
1. 82C55の使い方	1
1.1 82C55のアドレス	1
1.2 82C55の各ポートの入出力指定の仕方	1
1.3 各ポートに対するデータ入出力の方法	2
1.4 Cポートだけに許される特殊なデータ出力方法	3
2章 メモリマップ・I/Oマップ	4
1. メモリマップ	4
2. RST7ジャンプアドレス	4
3. 割り込みテーブル	5
4. I/Oアドレス	6
3章 KL5C8012	7
1. パラレルポートA	7
1.1 P00~P07の入出力方向設定	7
1.2 P10~P17の入出力方向設定	8
2. パラレルポートB	8
2.1 P20~P47の入出力方向設定	9
2.2 ビット出力制御	10
3. タイマ/カウンタA	10
3.1 入出力端子	10
3.2 動作モード	11
3.2.1 分周モード	11
3.2.2 パルス幅変調(PWM)モード	11
3.2.3 パルスモード	12
3.2.4 パルス幅/周期測定モード	12
3.3 リセット時の動作	12
3.4 モード設定	12
3.5 コマンド	13
3.5.1 カウンタラッチコマンド	14
3.5.2 リードライトシーケンスクリアコマンド	14
3.5.3 フラグクリアコマンド	14
3.6 カウンタへのカウンタ初期値の設定	14
3.7 カウンタの読み出し	14
3.8 ステータスの読み出し	15
4. タイマ/カウンタB	15
4.1 入出力端子	15
4.2 動作モード	16
4.2.1 連続カウントモード	16
4.2.2 単発カウントモード	16
4.2.3 パルス幅変調(PWM)モード	16
4.2.4 ウォッチドッグタイマ(WDT)モード	17
4.3 OUTP出力とOUTS出力	17
4.4 リセット時の動作	17
4.5 モード設定	17
4.6 カウンタへのカウンタ初期値の設定	18
4.7 カウンタの読み出し	18
4.8 ステータスの読み出し	18

5. シリアルインターフェース	19
6. 割り込みコントローラ	19
6. 1 割り込み番号	19
6. 2 割り込みコントローラのレジスタとI/Oアドレス	20
6. 2. 1 LER(Level/Edge Register)書き込み専用(読み出し不可)	20
6. 2. 2 PGR(Priority Group Register)書き込み専用(読み出し不可)	20
6. 2. 3 IMR(Interrupt Mark Register)書き込み読み出し可	21
6. 2. 4 IVR(Interrupt Vector Register)書き込み専用(読み出し不可)	21
6. 2. 5 ISR(In Service Register)	21
6. 3 割り込みベクタの出力	21
6. 4 レジスタ設定シーケンス	22
6. 5 割り込み要求の受付	22
6. 6 リセット時の動作	22
7. MMU(メモリマネジメントユニット)	23
8. 動作モードの設定	27
9. I/Oアクセスタイミング	29
10. 命令実行時間	29
11. KL5C8012内部回路のI/Oアドレス	29
4章 コネクタ端子図	31
5章 LCD表示器などの接続について	33
1. LCD表示器の接続	33
2. セントロニクスプリンタの接続	33
3. キーボードの接続	33
4. ZB25K、ZB28Kコネクタ配置図	34

2000.12.17 REV.1.1

2001.06.09 REV.1.2

2001.08.13 REV.1.3

1章 I/O制御

ZBKボードに共通して実装しているI/O用LSIは82C55です(ZB10KとZB20Kを除く)。ここでは82C55の基本的な使い方を説明します。ZBKボードには82C55のほかにCPUチップKL5C8012に内蔵のI/Oポートがありますが、その使い方については、3章で説明します。

1. 82C55の使い方

ZB21K~ZB28K、ND80Kには82C55が1~4個実装されていてユーザーが自由に使うことができます(ZB10K、ZB20Kには82C55は実装されていません)。82C55には8ビット3組の入出力ポートがあり、通常のI/Oポートとして使う(モード0)ほかにパラレルインターフェースとして使用するモード(モード1、モード2)もあります。ここでは一般的な入出力モード(モード0)の使い方について説明します。

1.1 82C55のアドレス

82C55には入力、出力どちらでも指定できる8ビットのI/Oポートが3組あります。これらはAポート、Bポート、Cポートとよんでおり、それぞれ異なったアドレスによって選択されます。

ZB21K~ZB28K、ND80Kに実装されている82C55には次のアドレスが与えられています。

80H Aポート
81H Bポート
82H Cポート
83H コントロールワード

このコントロールワードは、各ポートの向き(入力か出力か)を設定したり、Cポートに対する特殊なアクセスの場合に使います。ボードによっては82C55を2~4個実装されているものがあります。その場合の2~4番目の82C55のアドレスは次の通りです。

[2番目の82C55]

84H Aポート
85H Bポート
86H Cポート
87H コントロールワード

[3番目の82C55]

88H Aポート
89H Bポート
8AH Cポート
8BH コントロールワード

[4番目の82C55]

8CH Aポート
8DH Bポート
8EH Cポート
8FH コントロールワード

なおメモリのアドレスとは異なり、このアドレスは16進2桁しかありません。(メモリアドレスは16進4桁) 命令もメモリに対するもの(代表的なものはLD命令)とは区別されており、IN、OUT命令を使います。

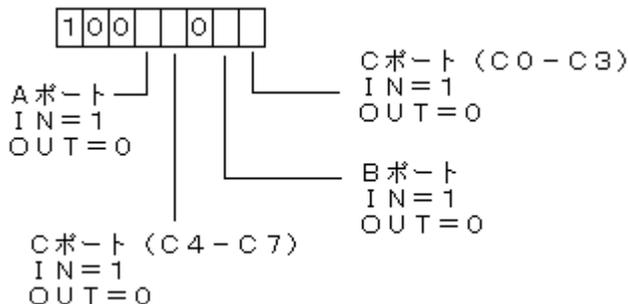
1.2 82C55の各ポートの入出力指定の仕方

82C55のポートはコントロールワードの設定によって入力か出力のいずれかに設定することができますが標準的なモードでは双方向の設定はできません。電源投入後にはまず各ポートの向き(入力か出力か)を設定しなければなりません。向きの設定はコントロールワードアドレスに必要なデータを送ることによって行われます。

ZB21K~28K、ND80Kに実装されている82C55は、リセット直後にモニタプログラムによって全ポート入りに設定されます。もし出力に用いないならばこのまま使うことができます。出力として利用したい場合にはコントロールワードにより設定します。

入出力の指定は下図のコントロールワードを、OUT命令で82C55のコントロールワードアドレス(83H、87H、8BH、8FH番地)に送ることで行われます。

AポートとBポートは8ビットとも同じ向きに設定することしかできませんが、Cポートは上位4ビットと下位4ビットを別々に設定することができます(C0-C3を出力、C4-C7を入力というように)。



たとえばAポート出力、Bポート出力、Cポート上位4ビット出力、Cポート下位4ビット入力に設定するには81Hを83Hに出力します。

これはプログラムの中で次のようにコーディングします。

[BASIC]

```
OUT $83, $81
```

[アセンブラ]

```
LD A, 81
```

```
OUT (83), A
```

[マシン語モニタコマンド]

```
>OT 83, 81[Enter]
```

[注意1]

コントロールワード出力によって、出力に設定されたポートはその時点から、全ビットが0になります。

1.3 各ポートに対するデータ入出力の方法

コントロールワードによって入力、出力の指定が行われたあとは、どのような時点でもその指定にしたがってデータの入出力ができます。(入力ポートならIN命令、出力ポートならOUT命令を使います)

(1) データの出力

命令は下のようコーディングします。Aポートに5Aを出力する例です。

[BASIC]

```
OUT $80, $5A
```

[アセンブラ]

```
LD A, 5A
```

```
OUT (80), A
```

[マシン語モニタコマンド]

```
>OT 80, 5A[Enter]
```

[注記]

出力に設定されたポートから外部に出力されるデータはラッチされています。
したがって新たに別のデータをそのポートから出力するか、または入出力の設定をし直すまではもとのデータの出力が維持されます。

(2) データの入力

IN 命令によって、指定したポートからのデータが、マシン語の場合には A レジスタに入ります。BASIC の場合には任意の変数に入ります。命令は下のようにコーディングします。

[BASIC]

```
NYURK%=IN($80)
```

[アセンブラ]

```
IN A, (80)
```

[マシン語モニタコマンド]

```
>IN 80[Enter]
```

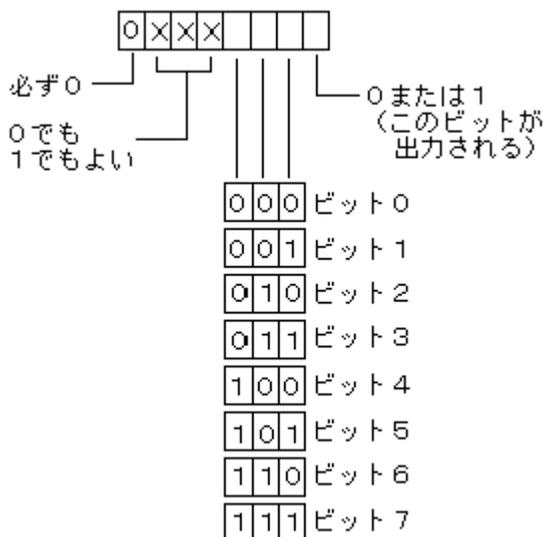
3F ……入力結果が表示される

[注意]

入力データはラッチされません。

1. 4 Cポートだけに許される特殊なデータ出力方法

Cポートも1. 3(1)で説明した使い方でもデータ出力ができますが、Cポートに限って特殊なデータ出力が可能です。1. 3(1)のOUT命令では、8ビットのデータが出力されますが、作業によっては他の出力は変化させずに特定の1ビットだけ出力を変えたい、という場合があります。AポートやBポートはどうしようもないのですが、Cポートは下図のコントロールワードを、コントロールワードアドレス(Cポートアドレスではありません)に出力することで、任意の1ビットだけ出力を変化させることができます。例えばPC5 から0を出力したければ、00001010 つまり0AHを83H(82Hではない)に出力すればよいわけです。



[注意]

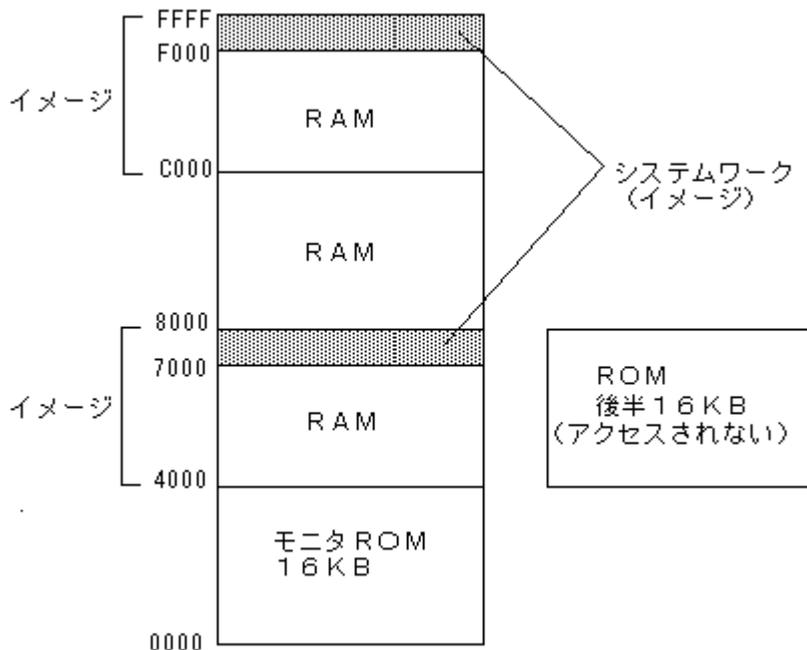
この動作は出力に設定されているビットのみに当てはまります。(Cポートは上位4ビットと下位4ビットで入出力を別個に設定できますが、例えば上位が出力で下位が入力に設定されている場合は、上の動作は上位4ビットに対しては有効ですが、下位4ビットに対しては無視されます)

2章 メモリマップ・I/Oマップ

1. メモリマップ

ZB10K~ZB28K、ND80Kは出荷時の標準仕様では、モニタROM(128KB)とRAM(32KB)が実装されていますが、代わりに128KBのRAM、628128を実装することができます。ZBK開発セットを接続するときには628128を実装します。KL5C8012はZ80Aと同様プログラムでアクセスできるメモリアドレスは0000H~FFFFHの64KBです。27C010、628128を実装した場合にはシステムプログラムによって必要なROM、RAMエリアをメモリバンクを切り替えてアクセスします。

ここでは標準仕様のメモリマップを示します。



4000H~FFFFHはRAMになりますが48KBのエリアに32KBのRAMが実装されているため、一部アドレスにイメージが発生します。イメージとは異なるアドレスで同じメモリ位置をアクセスすることをいいます。4000H~7FFFHとC000H~FFFFHは異なるアドレスですがどちらのアドレスを指定してもメモリの同じ場所をアクセスします。たとえば4000Hからデータを書き込むとC000Hをアクセスしても同じデータが出て来ます。

F800H~FFFFHはシステムワークエリアなのでユーザーがプログラムやデータを書くことはできません。またF800Hから前に向かってユーザー用のスタックエリアが割り当てられるのでF800H近くのアドレスにデータやプログラムを書くと暴走してしまうことがあります。安全のためF000H~FFFFHをシステムエリアとしてあります。

F000H~FFFFHのイメージが7000H~7FFFHにできるため、このアドレスもユーザーが使うことはできません。

4000Hからユーザープログラムを書いて、ROMに書き込んで、ユーザーROM(章)で起動した場合には4000H~7FFFHにはROMが割り当てられるため、イメージはなくなります。

2. RST7ジャンプアドレス

システムワークエリアの中に、RST7ジャンプアドレスがあります。

これはユーザーがプログラム中でRST7命令を使うときに、ユーザー領域にジャンプさせるためのものです。

RST7は0038Hから書かれたサブルーチンをCALLする1バイト命令です(コードFF)。ところが0038HはモニタROMのアドレスなので、ユーザーがそこにプログラムを書くことができません。

そこでモニタROMの0038H番地にはRAMアドレス(FFBA)へ行くジャンプ命令が書いてあります。

RST7を利用したいユーザーは、ユーザープログラムの中でこのジャンプアドレスエリアにユーザーの希望するジャンプ先を書き込んで使用するようになります。たとえば4200Hにジャンプさせたい場合には、FFBAHにC3Hを、FFBBHに00Hを、FFBCHに42Hを書き込むようにプログラムします。

[注意]

RST7はブレイク機能で使用されています。ブレイク機能を使うときはプログラムのなかでRST7を使うことはできません。

3. 割込みテーブル

ZB10K~ZB28K、ND80Kはモード2の割込みをサポートしています。モード2の割込みは複数の割込み処理プログラムをそれぞれの割込み要求元に合わせて選択実行できるように工夫されたものです。割込みプログラムはメモリのどのアドレスにでも自由に置くことができます。そしてそのアドレス(16ビット、2バイト)を割込み番号順にメモリの特定アドレスに(テーブル全体が上位8ビットアドレスが共通になるように)並べて格納しておきます(これを割込みテーブルと呼びます)。テーブルの置かれたアドレスの上位8ビットはレジスタに記憶させます。そして割込み番号(00、02、04、…、FE)を割込み元になるZ80ファミリーICに与えます。割込み元はCPUに割込み要求を出すとき、この与えられた割込み番号をCPUに伝えます(特定のタイミングでデータバスに送り出す)。CPUは受け取った割込み番号を下位バイト、レジスタの内容を上位バイトとして合成し、要求元に対応する割込みプログラムの置かれた割込みテーブルアドレスを算出します。

計算上は割込みテーブルには128個のプログラムアドレスを配置することができますが、ZB10K~ZB28K、ND80Kモニタでは16個分を確保しており、KL5C8012割込みコントローラのサポートする16レベルの割込みに合わせてあります。

割込みテーブルはRAMのFEE0H~FEFFHに置かれています。RAMですからテーブルを書きかえることによってユーザーの用意する割込みプログラムを実行させることが可能になります。割込みテーブルはKL5C8012の割込みコントローラの働きに合わせてありKL5C8012の特定機能割込みに割り当てられています。割込みテーブルには割込みプログラムアドレスを下位アドレス、上位アドレスの順に書き込みます。

[割込みテーブル]

アドレス	割込レベル	割り込み要求元
FEFE	IR[15]	タイマ/カウンタBチャンネル2OUTS出力
FEFC	IR[14]	タイマ/カウンタBチャンネル1OUTS出力
FEFA	IR[13]	タイマ/カウンタBチャンネル0OUTS出力
FEF8	IR[12]	タイマ/カウンタAチャンネル1OUT出力
FEF6	IR[11]	タイマ/カウンタAチャンネル0OUT出力
FEF4	IR[10]	USART(シリアルインタフェース) TXEMPTY出力
FEF2	IR[9]	USART(シリアルインタフェース) RXRDY出力
FEF0	IR[8]	USART(シリアルインタフェース) TXRDYPIN出力
FEEE	IR[7]	外部入力P07/IR7
FEEC	IR[6]	外部入力P06/IR6
FEEA	IR[5]	外部入力P05/IR5
FEE8	IR[4]	外部入力P04/IR4
FEE6	IR[3]	外部入力P03/IR3
FEE4	IR[2]	外部入力P02/IR2
FEE2	IR[1]	外部入力P01/IR1
FEE0	IR[0]	外部入力P00/IR0

[注意1]

ND80Kではタイマ/カウンタBチャンネル2はLEDのダイナミックドライブのために割り込み発生用カウンタとして使用しています。ND80Kのユーザーはチャンネル2を使用することはできません。

[注意2]

タイマ／カウンタBチャンネル1はKL5C8012内蔵シリアルインターフェース(RS232C)のクロックとして使用しています。ユーザーが232Cを利用するときはチャンネル1をその他の用途に使うことはできません。

[注意3]

タイマ／カウンタBチャンネル0はトレース機能の割り込み発生用カウンタとして使用しています。ユーザーがトレース機能を利用するときはチャンネル0をその他の用途に使うことはできません。

[注意4]

IR[0]、IR[2]～IR[7]は対応する入力端子P00、P02～P07をシステムが使用しているため、ユーザーが使用することはできません。

IR[1](外部入力P01)はユーザー用外部割り込み信号として拡張バスコネクタに接続端子を配置してあります。

4. I/Oアドレス

ZB10K～ZB28K、ND80Kが使用しているI/Oアドレスです。

00H～3FH	KL5C8012内部回路にて使用(3章参照)
10H～13H	LCDインタフェース(旧V3システムとの互換性のためシンボリックに使用)
40H～7FH	未使用
80H～8FH	82C55
90H～9FH	RS232Cインタフェース
A0H～BFH	未使用
C0H～CFH	ND80K キー、LEDコントロール

KL5C8012は川崎製鉄がZ80A互換CPUをコアにして、パラレルI/O、シリアルI/O、プログラマブルカウンタ、MMU、割り込みコントローラを加えて1個のLSIにまとめたものです。CPU部分はZ80Aと同じ働きをするので、Z80Aのために書かれたプログラムをそのまま実行することができます。

CPUクロックは10MHzですが独自のアーキテクチャにより高速に命令を実行するため、Z80Aの40MHzに相当するといわれています。しかし最高速で実行するためにはメモリも高速で動作するものが必要で、コストアップは避けられません。そのためZB10K～ZB28K、ND80Kではメモリアクセス時(およびI/Oアクセス時)にウェイトを挿入して、普及品のメモリやI/O素子を接続できるように考慮してあります。それでもZ80Aの18～20MHzに相当する速度が得られます。当社のZ80A使用ボードのクロックが4MHz～6MHzであることからみても、そのスピードが驚異的であることが理解できると思います。

KL5C8012は内蔵しているパラレルI/Oだけでも8ビット×5ポート＝40ビットもあり、これも驚異的といえます。ポートは3ポートが82C55、2ポートがZ80PIO相当の機能でありこれもユーザーにとってなかなか得がたい機能といえます。パラレルI/OとIC端子を共用しているとはいえ、このほかになんと16ビットのタイマー/カウンタが5チャンネルと1チャンネルのUSART(シリアルインターフェース)まで備えています。USARTは8251に比べてコントロールがはるかに容易で、もちろんZ80SIOよりはずっと使いやすくできています。

さらに16レベルの割り込みコントローラと最大512KBのメモリ空間をアクセスできるMMU(メモリマネジメントユニット)まで内蔵しています。

これだけの機能が1個のチップに内蔵しているとなると、その全機能を使うにはかなりの習熟を必要とします。川崎製鉄がインターネット上に公開しているKL5C8012の技術説明書だけでもA4版150ページもあります。ここでは主要な点について簡単に、しかしできる限りわかりやすく説明するつもりです。

なおZBK開発セットはKL5C8012のパラレルI/Oやタイマー/カウンタの機能を一部モニタプログラムで使用しており、ユーザーが全機能を使用することはできません。特にROM WRITERを接続した場合にはパラレルI/Oのほとんどをシステムが使用します。

以下の説明中、システムクロックは10MHzです(ZB10K～ZB28K、ND80Kは20MHzクリスタルを使用しており、システムクロックはその1/2になります)。

1. パラレルポートA

Z80PIO相当の機能をもつ8ビット×2ポートのパラレルI/Oポートです。82C55と異なり1ビットごとに入力、出力を設定できます。

ポート0は端子名P00～P07、ポート1はP10～P17で、I/Oアドレスは2CH～2FHです。

2CH	ポート0、P00～P07データ
2DH	ポート0方向制御レジスタ
2EH	ポート1、P10～P17データ
2FH	ポート1方向制御レジスタ

1.1 P00～P07の入出力方向設定

アドレス2DHに00H～FFHの設定値を出力(OUT)します。1を書き込んだビットが出力に設定され、0を書き込んだビットが入力に設定されます。電源投入時は(2DH)=00Hで全ビット入力になります。また2CHの出力ラッチは全ビット0クリアされます。

(2DH)=FFHにすると全ビット出力になります。

2DHに対してIN命令を実行すると、入出力設定の状態を読み出すことができます。

P00～P07の端子は割り込み入力R0～R7と兼用していますが、初期状態では通常のI/Oポートとして使用できます。ただしP00、P02～P07は開発セットを使用してDOS/Vと接続するときに使用しますからユーザーが使うことはできません。P1についてはZB10K～ZB28K、ND80Kの外部割込入力INTに割り当てて

います。電源ONまたはリセット時にP03入力がLレベルであるとユーザーROMプログラムに直接ジャンプします。

[注意]

ZBKシステムではP00、P02～P07はユーザーが使用することはできません。P01は外部割込み (INT入力)として使われています。P00～P07の方向をユーザーが指定するとシステムがハングアップします。アドレス2Dにデータを出力しないように注意してください。

1.2 P10～P17の入出力方向設定

アドレスが変わるだけでP0～P7の設定方法と全く同じです。

アドレス2FHに00H～FFHの設定値を出力 (OUT)します。1を書き込んだビットが出力に設定され、0を書き込んだビットが入力に設定されます。電源投入時は(2FH)=00Hで全ビット入力になります。また2EHの出力ラッチは全ビット0クリアされます。

(2FH)=FFHにすると全ビット出力になります。

2FHに対してIN命令を実行すると、入出力設定の状態を読み出すことができます。

P10～P17はカウンタやシリアルインターフェースと同じ端子に割り当てられていますが、カウンタ、シリアルインターフェースを使わなければ、パラレルI/Oとして使用することができます。ただしP17はND80Kのスピーカ出力に使用しています。またP14とP15はND80Kにプリンタを接続するときに制御信号 (RDY、STB)として使用します。

[注意]

他の信号と端子を共用しているポートをパラレルポートとして使用しないで、他の機能を使用する場合には、そのビットは入力に設定しなければなりません (P00～P17共通事項)。

[注記1]

(P00～P17共通事項)IN、OUT命令は各ビットの入出力の向きにかかわらず、8ビット同時に行われます。入力に設定されているビットに1、0のいずれを出力しても、出力ラインには反映されずハイインピーダンスになります (実際にはIC内部でVCCに約100KΩでプルアップされているのでつねにHレベルになります)。

出力に設定されているビットから入力を行うと、そのビットの出力ラッチの状態が入力されます。

[注記2]

P10～P17はZB20K～ZB28KではRTC、LCD表示、5×5キー入力などに使用されています。これらの機能を使用しなければユーザーが通常のI/Oとして使うことは可能です。ZB10Kはこれらの回路がありません。またZB20KもLCDを接続しなければP10～P17をユーザーが使うことができます。

[注記3]

BASICプログラムをROM化して実行しているときはP10～P17に0が出力されます (RAMでのデバッグ時には出力されません。注意してください)。

これは外部にキーボードを接続してブレイク入力を検出するための動作です。各命令の実行毎に出力されません。この機能はZB25K、ZB27K以外では使用されないものですが共通システムのため同じ動作になります。

同じ目的で次項で説明するP25も0が出力されます。

ZB25K、ZB27K以外でP10～P17、P25を入出力として使用する場合にはBASICプログラムの先頭で次のPOKE文を実行させてください。

```
POKE $F1A7, 0
```

2. パラレルポートB

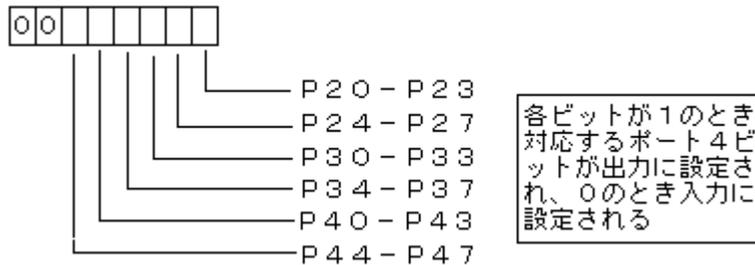
82C55相当の機能をもつ8ビット×3ポートの平行I/Oポートです。平行ポートBとは異なり、上位4ビット、下位4ビットごとに入力、出力を設定します。3ポートとも82C55のCポートの機能を持ち、出力に設定したポートに対しては、他のビットに影響を与えず1ビットのみの出力を行うことができます。

ポート0は端子名P20～P27、ポート1はP30～P37、ポート2はP40～P47で、I/Oアドレスは30H～33Hです。

- 30H ポート0、P20～P27データ
- 31H ポート1、P30～P37データ
- 32H ポート2、P40～P47データ
- 33H 方向制御レジスタ

2.1 P20～P47の入出力方向設定

アドレス33Hに方向制御コマンドを書き込みます。ポート0～ポート2の方向を1回のコマンド出力で同時に決定します。



たとえば00Hを33Hに出力するとP20～P47が全て入力に設定され、3FHを出力すると全ポートが出力に設定されます。

電源ONまたはリセット時は(33H)=00Hになり全ポートが入力になりますが、ND80Kモニタがポートの一部を使用しているため、起動時に(33H)=2FHに設定されます(P20-27出力、P30-37出力、P40-43入力、P44-47出力)。P40-47はモニタプログラムで使用しますからこれと異なる向きに設定してはいけません。ZB10K～ZB28Kでは(33H)=22Hに設定されます(P20-23入力、P24-P27出力、P30-37入力、P40-43入力、P44-47出力)。

P20-P27は平行ポート専用端子で他の機能と端子を兼用していませんが、ND80Kにプリンタを接続するときはデータ出力として使用します。ZB21K～ZB28KではLCD、RTCのコントロールなどに使用しています。

P30-37はカウンタと端子を兼用していますが、カウンタを使用しなければ平行ポートとして使うことができます。ZB25K、ZB27Kではキーボードのコントロールに使用しています。

P40-47はシリアルインターフェースと端子を兼用していますがシリアルインターフェースを使用しなければ平行ポートとして使うことができます。ただしND80KではP40をカセットテープレコーダ入力、P44を同出力として使用しています。またP47は開発セットを使ってDOS/Vと接続するときに使用します。ZB25K、ZB27Kではプリンタコントロールに使用しています。

電源投入時は(33H)=00Hで全ポート入力になりP20-47の出力ラッチは全ビット0クリアされます。

IN、OUT命令は上位4ビット、下位4ビットが異なる向きに設定されていても、8ビット同時に行われます。入力に設定されているビットに1、0のいずれを出力しても、出力ラインには反映されずハイインピーダンスになります(実際にはIC内部でVCCIに約100KΩでプルアップされているのでつねにHレベルになります)。

出力に設定されているビットから入力を行うと、そのビットの出力ラッチの状態が入力されます。

[注意1]

他の信号と端子を共用しているポートを平行ポートとして使用しないで、他の機能を使用する場合には、そのビットは入力に設定しなければなりません(P20～P47共通事項)。

[注意2]

P47はZBK開発システムが使用するためユーザーが使用することはできません。またP44～P47は出力として定義しなければいけません。入力に設定するとシステムがハングアップします。

[注意3]

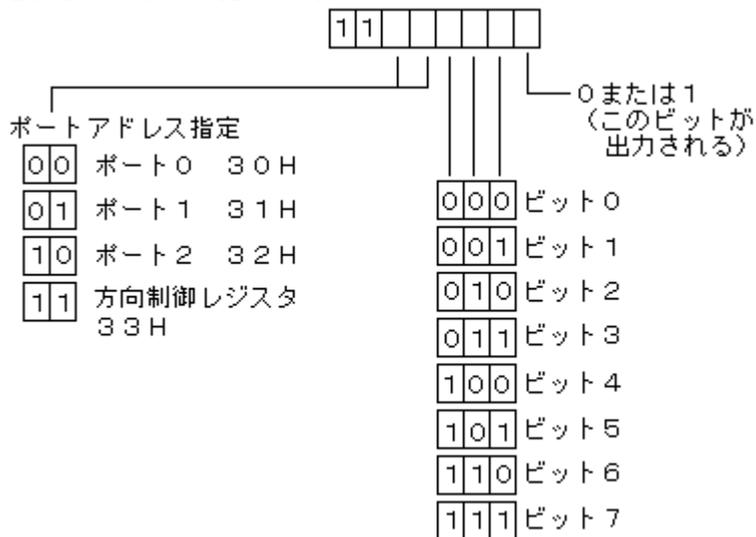
BASICプログラムをROM化して実行しているときはP25に0が出力されます(RAMでのデバッグ時には出力されません。注意してください)。前項P10～P17注記を参照してください。

ZB25K、ZB27K以外でP25を入出力として使用する場合にはBASICプログラムの先頭で次のPOKE文を実行させてください。

```
POKE $F1A7, 0
```

2.2 ビット出力制御

ポート0～ポート2を出力に設定しているときは、方向制御レジスタ(33H)にコマンドを出力することで、特定の1ビットだけ出力を変化させることができます。他のビットの出力は変化しません。入力に設定しているビットを指定したときは無視されます。



3. タイマ/カウンタA

プログラマブルな16ビットのダウンカウンタで、コントロールワードアドレスにコントロールワードを書き込むことで動作します。チャンネル0とチャンネル1の2組があり、全く同じ機能をもっています。

I/Oアドレスは下の通りです。

- 28H チャンネル0カウンタ
- 29H チャンネル0コントロールワード
- 2AH チャンネル1カウンタ
- 2BH チャンネル1コントロールワード

3.1 入出力端子

[XCLK0][XCLK1]

外部クロック入力。カウント動作はXCLKの立下りで行われます。モード設定でシステムクロックを選択しているときは、XCLKは使用されません。XCLK0はチャンネル0、XCLK1はチャンネル1の端子(以下の説明でも同じルールで名前がついています)。

[GATEA0][GATEA1]

この信号がONのときだけカウンタ動作をします。またはトリガ信号として働きます。パルス幅/周期測定モードでは測定対象の信号を入力します。

[OUTA0][OUTA1]

モードの指定により、分周出力、ワンショット出力、ストロブ出力、測定完了出力になります。リセットによりクロックと非同期にLになります。

[注記]各信号端子はパラレルポートと端子を兼用しています。

XCLK0=P11

XCLK1=P13

GATEA0=P10

GATEA1=P12

OUTA0=P34

OUTA1=P35

各端子をパラレルポートではなくてカウンタ用に使用するためには端子機能の設定が必要です(別項で説明)。

3. 2 動作モード

4種類の動作モードがあります。

3. 2. 1 分周モード

ダウンカウンタに初期値を与えることでカウント動作を開始し、カウント値が0になるとOUT出力が変化し、カウンタに初期値を再読み込みしダウンカウントを繰り返します。カウント中に新しい初期値が与えられるまでは今までの初期値が繰り返し再読み込まれます。カウント中に新しい初期値が与えられてもすぐに再読み込まれません。カウント値が0になってから新しい値が初期値として読み込まれます。

モード設定によりカウント初期値はFFFFHになりOUT出力はLになります。OUT出力は0カウントの度にHとLが交互に出力される(トグル出力)か1クロック幅のパルス出力かいずれかを選択できます。

カウント0のタイミングで割り込みを発生させることができます。

GATE入力=Hの期間はカウントイネーブルでGATE入力=Lの期間はカウントしません。

GATE入力のパルス幅はH、Lともにシステムクロックの2サイクル以上が必要です。

初期値として与えることのできる値は0001H~FFFFHです。

3. 2. 2 パルス幅変調(PWM)モード

周期は一定(4通りの中から選択)でH期間のパルス幅がカウント初期値+1になるパルスを繰り返し出力します。周期はカウンタクロックの2のN乗+1(N=6, 8, 10, 12)の4通りから選択します。2の6乗+1=41Hです。以下同様に101H、401H、1001Hになります。Hパルス幅はこの値を超えることはできませんから、与えることのできるカウント初期値の最大値はそれぞれ003FH、00FFH、03FFH、0FFFHになります。最小値は0001Hです。

モード設定によりOUT出力はLになり初期値を与えるとOUT出力=HIになってダウンカウントを開始します。カウンタの値が0になるとOUT出力=Lになり残りの周期期間中Lを維持します。1周期期間が終わるとカウンタ初期値を再読み込みしOUT=HIにして前記動作を繰り返します。カウント中に新しい初期値が与えられてもすぐに再読み込まれません。カウント値が0になってから新しい値が初期値として読み込まれます。

GATE入力=Hの期間はカウントイネーブルでGATE入力=Lの期間はカウントしません。

GATE入力のパルス幅はH、Lともにシステムクロックの2サイクル以上が必要です。

3. 2. 3 パルスモード

トリガ入力によりダウンカウントを開始しカウント0でOUT出力が変化します。次のトリガが入力されるまでカウンタ動作は停止します。

カウント初期値を与えることでカウントを開始するソフトトリガと、GATE入力信号の立ち上がりでカウントを開始するソフトトリガがあり、モード設定で選択できます。

OUT出力はモード設定でHIになります。カウント開始でLになり、カウント0でHIになるワンショット出力と、カウント0で1クロック幅のLパルスを出力するストロブ出力のいずれかを選択できます。またOUT出力のH、Lが前記の逆になるリバースモードを選択することもできます。

ソフトトリガではGATE入力=Hの期間のみカウント動作をします。

ソフトトリガではカウント中に新しい初期値が与えられると次のクロックでカウンタに初期値をロードしすぐにカウントを開始します。

ハードトリガではカウンタ初期値は次に新しい初期値が与えられるまでは、もとの値を保持しています。カウント中に次のトリガが発生すると(GATEに新しい立ち上がり信号が入力されると)、カウンタに初期値を再読込してダウンカウントを再スタートします。カウント中に新しい初期値が与えられてもすぐには再読込されず、次のトリガが発生したときにカウンタに再読込されダウンカウントがスタートします。ハードトリガ選択時のトリガ間隔はカウンタクロックの1サイクル以上が必要です。

ソフトトリガ選択時のGATE入力のパルス幅はH、Lともにシステムクロックの2サイクル以上が必要です。

カウンタ初期値として与えることのできる値は0001H~FFFFHです。

3. 2. 4 パルス幅／周期測定モード

GATE端子に入力される信号のパルス幅、または周期を測定し、測定が完了するとOUT出力にシステムクロック1サイクル分の幅のパルスを出力します。

測定する期間はGATE入力信号の①立ち上がりから立下りまで②立ち上がりから次の立下りまで③立ち下がりから立上りまで④立ち下がりから次の立下りまでのいずれかが選択できます。また1回のみ測定と繰り返し測定の選択もできます。連続測定モードではカウンタアドレスからは測定完了した最後の測定値が読み出されます。つまりパルス幅／周期測定モードではカウント中のカウンタの値ではなくてカウンタバッファの値が読み出されることとなります。読み出される値は測定期間中にカウントしたカウンタクロック数です。カウント中の値を読み出すことはできません。

GATE入力のパルス幅はH、Lともにシステムクロックの2サイクル以上が必要です。

このモードでは初期値の設定はできません。モードセットによりFFFFが初期値としてセットされます。GATE設定条件に合致するパルスの入力によりカウントダウンを開始します。停止条件に合致するパルス入力によりカウントを停止し、データレジスタにカウンタ値の補数を送ります。次のGATE入力パルスによりふたたびFFFFがセットされ、カウントダウンを繰り返します。

3. 3 リセット時の動作

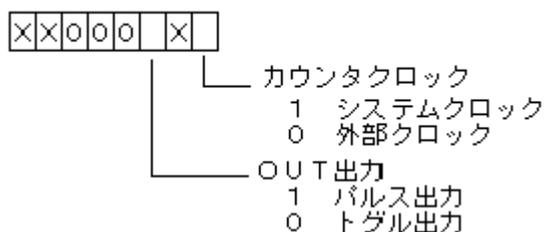
リセットによりカウンタ動作は停止します。カウンタの値はFFFFHになります。

分周モード(システムクロック選択、トグル出力)が選択され、OUT出力はLになります。

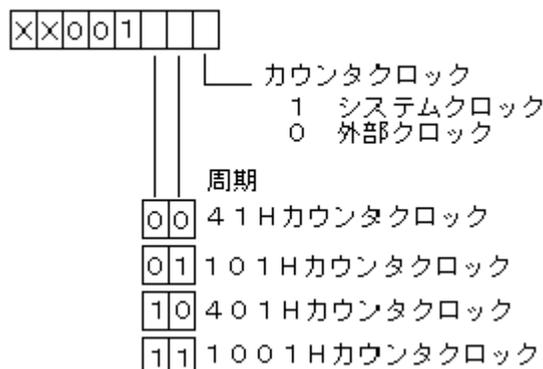
3. 4 モード設定

モード設定は各チャンネルのコントロールワードアドレス(29H、2BH)にコントロールワードを書き込むことで行われます

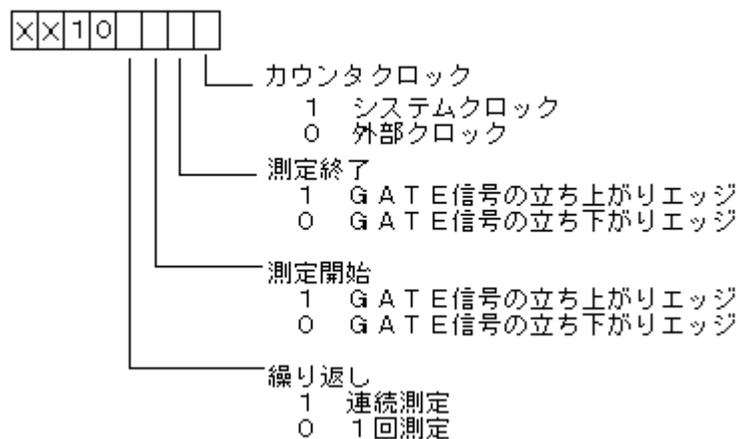
分周モード



パルス幅変調(PWM)モード



パルス幅/周期測定モード



3.5 コマンド

コントロールワードアドレス(29H、2BH)にコマンドを書き込むことで、データのラッチやフラグのクリアを行います。

カウンタラッチコマンド

XX111X00

クリアコマンド

XX111X

シーケンスクリア
1 する
0 しない

フラグクリア
1 する
0 しない

3. 5. 1 カウンタラッチコマンド

カウンタアドレスに対して読み出しを実行すると、パルス幅／周期測定モードでは最後に測定完了してバッファにラッチされた値が読み出されます。その他のモードでは設定されている初期値が読み出されます。

しかし現在動作中のカウンタの値を読み出したいときがあります。この場合カウンタはカウント動作中なので安定したデータの読み出しはできません。カウンタラッチコマンドをカウンタデータの読み出しに先立って実行することによってそのときのカウンタ値がラッチされ、その後カウンタデータアドレスに対して2回の読み出しをすると、ラッチされたカウンタ値が読み出せます。ラッチされた値は次にカウンタラッチコマンドが実行されるか、データの読み出しが完了するまで保持されます。言いかえると、ラッチされた「カウント途中のカウント値」はデータの読み出しが完了するとクリアされ、次にカウンタラッチコマンドが実行されるまでは、カウンタアドレスに対する読み出しでは、つねに最後に測定完了した値か初期値になります。

3. 5. 2 リードライトシーケンスクリアコマンド

カウンタの値は16ビットなので値の設定も読み出しも下位、上位2回のアクセスが必要です。プログラムの流れで1回目のアクセスか2回目かが定かにならない場合が発生します。リードライトシーケンスクリアコマンドの実行によって、シーケンスがクリアされ、次のデータアクセスを1回目とすることができます。

3. 5. 3 フラグクリアコマンド

パルスモードでのトリガ受けつけフラグ、パルス幅／周期測定モードでの測定完了フラグ(ステータス情報のD7ビット)をクリアします。

クリアコマンドでD0、D1ビットを0にすると、カウンタラッチコマンドになります。

3. 6 カウンタへのカウンタ初期値の設定

カウンタの値は16ビットなので、データの書き込みは下位8ビット、続いて上位8ビットの順に2回に分けて行います。書き込みはリセット直後か、モード設定直後か、リードライトシーケンスクリアコマンド直後かのいずれかに限り有効です。カウンタアドレス(28H、2AH)に対しておこないます。

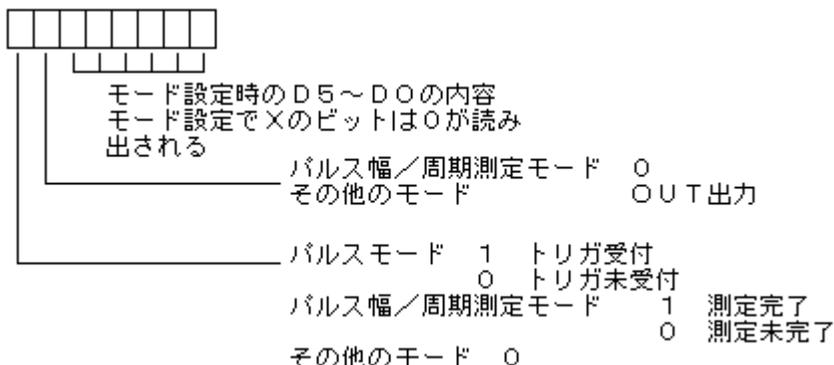
3. 7 カウンタの読み出し

現在進行中のカウンタの値の読み出しは、カウンタラッチコマンド実行直後にカウンタアドレス(28H、2AH)に対する2回の読み出しによってのみ行われます(1回目に下位8ビット、2回目に上位8ビットが読み出される)。カウンタラッチコマンドによってラッチされたカウンタ値は読み出しが完了するか次にカウンタラッチコマンドが実行されるまで保持されています。カウンタラッチコマンド実行直後以外のタイミングでカウンタアドレスに対して読み出しを行うと、カウンタ終了によりバッファにラッチされた値が読み出されます。

[注記]直後というのは時間的なことではなくて、それ以後、カウンタに対するはじめてのアクセスを行うという意味です。

3.8 ステータスの読み出し

コントロールワードアドレス(29H、2BH)に対して読み出しを行うとステータスが得られます。



4. タイマ/カウンタB

プログラマブルな16ビットのプリスケアラ付ダウンカウンタで、コントロールワードアドレスにコントロールワードを書き込むことで動作します。チャンネル0～2の3組があり、基本的には同じ機能をもっています。ダウンカウントされるクロックはシステムクロックをプリスケアラで分周したクロックを入力します。

I/Oアドレスは下の通りです。

- 20H チャンネル0カウンタ
- 21H チャンネル0コントロールワード
- 22H チャンネル1カウンタ
- 23H チャンネル1コントロールワード
- 24H チャンネル2カウンタ
- 25H チャンネル2コントロールワード

[注意1]

ND80Kではチャンネル2はLEDのダイナミックドライブのために割り込み発生用カウンタとして使用しています。そのためND80Kのユーザーがチャンネル2を使用することはできません。

[注意2]

チャンネル1はKL5C8012内蔵シリアルインターフェース(RS232C)のクロックとして使用しています。ユーザーが232Cを利用するときはチャンネル1をその他の用途に使うことはできません。

[注意3]

チャンネル0はトレース機能の割り込み発生用カウンタとして使用しています。ユーザーがトレース機能を利用するときはチャンネル0をその他の用途に使うことはできません。

4.1 入出力端子

[GATEB0][GATEB1][GATEB2]

この信号がONのときだけカウンタ動作をします。GATEB0はチャンネル0、GATEB1はチャンネル1、GATEB2はチャンネル2の端子(以下の説明でも同じルールで名前がついています)。

GATEはシステムクロックの4分周を入力クロックとするとき以外は使えません。

[OUTBP0][OUTBP1][OUTBP2]

モードの指定により、分周出力、PWM出力になります。リセットによりクロックと非同期にLになります。

[OUTBS0][OUTBS1][OUTBS2]

4システムクロック幅のストローブを出力します。

[SYNC]

システムクロックを4分周した信号です。この信号の立ち上がりエッジでGATE入力がサンプリングされます。

[注記]

各信号端子はパラレルポートと端子を兼用しています。

GATEB0=P00

GATEB1=P01

GATEB2=P02

OUTBP0=P36

OUTBP1=P32

OUTBP2=P33

OUTBS0=P30

OUTBS2=P37

SYNC=P31

OUTBS1端子はありません。

各端子をパラレルポートではなくてカウンタ用に使用するためには端子機能の設定が必要です(別項で説明)。

4. 2 動作モード

4種類の動作モードがあります。

4. 2. 1 連続カウントモード

ダウンカウンタに初期値を与えることでカウント動作を開始し、カウント値がFFFFになるとOUTP出力とOUTS出力が変化し、カウンタに初期値を再読み込みしダウンカウントを繰り返します。カウント中に新しい初期値が与えられるまでは今までの初期値が繰り返し再読み込まれます。カウント中に新しい初期値が与えられてもすぐに再読み込みはされません。カウント値がFFFFになってから新しい値が初期値として読み込まれます(ダウンカウントの終了値は0ではなくてFFFFです)。

モード設定によりOUTP、OUTS出力はLになります。カウント初期値の書き込みによりダウンカウントが開始されOUTP出力はHになります。OUTP出力は0カウントの度にHとLが交互に出力されます(トグル出力)。OUTSは0カウント時に4システムクロック幅のHパルスを出力します。

OUTP、OUTS出力はモード設定で前記説明のHとLを入れ替えた出力にすることができます。

カウント0のタイミングで割り込みを発生させることができます。

GATE入力=Hの期間はカウントイネーブルでGATE入力=Lの期間はカウントしません。

初期値として与えることのできる値は0001H~FFFFHです。

4. 2. 2 単発カウントモード

カウント初期値を与えることでダウンカウントを開始しカウント0でOUTP、OUTS出力が変化します。次のカウント初期値が与えられるまでカウンタ動作は停止します。

OUTP、OUTS出力はモード設定でLになります。OUTPはカウント開始でHになり、カウント0でLになります。OUTSは0カウント時に4システムクロック幅のHパルスを出力します。

カウンタ初期値として与えることのできる値は0001H~FFFFHです。

4. 2. 3 パルス幅変調(PWM)モード

カウント初期値によって与えられるパルス幅とパルス周期によって決定される繰り返しパルスをOUTPから出力します。

パルス幅はデータの上位8ビットで与え、周期は下位8ビットで与えます。

パルスを決定するカウント動作は上位8ビットと下位8ビットが独立して行われます。すなわち設定値の(上位8ビット+1)×カウンタ入力クロックがパルス幅になり、(下位8ビット+1)カウンタ入力クロックが周期になります。

モード設定によりカウンタは停止し、OUTP、OUTS出力はLになります。

カウント初期値の書き込みによりカウント動作を開始します。

パルス幅データ>=周期データのときはOUTP=Hのままになります。

カウント初期値の再読込は下位バイトカウンタが0になったときに行われます。カウント途中で初期値を書き込んでもすぐにカウンタには読みこまれず、下位バイトが0になった時点で新しい設定値が読みこまれます。

カウンタ初期値として与えることのできる値は上位、下位ともに01H~FFHです。

4. 2. 4 ウォッチドッグタイマ(WDT)モード

特殊な使い方で通常は使用しないため、説明を省略します。

4. 3 OUTP出力とOUTS出力

OUTP出力はカウント0になる度に反転出力し、カウント開始時の出力のH/Lをモード設定により選択できます。OUTS出力はカウント0で4システムクロック幅のHパルスを出力します。モード設定によって反転出力にすることはできません(常にHパルス出力)。

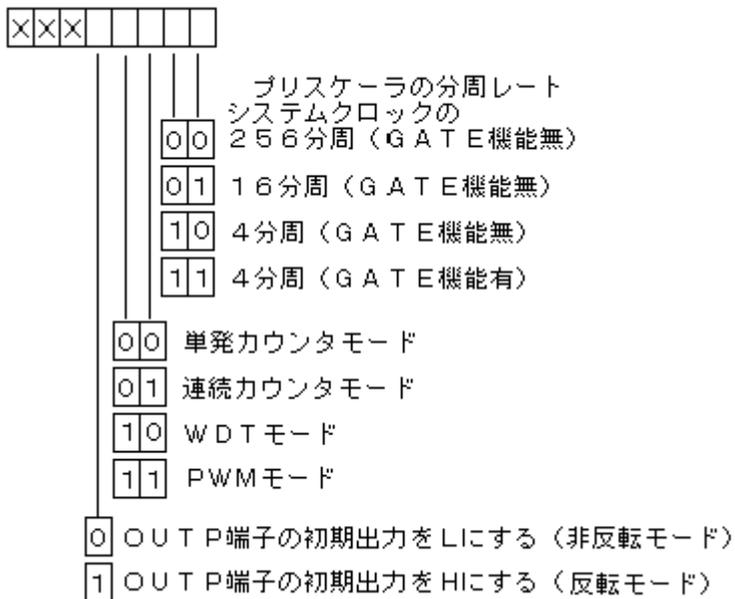
4. 4 リセット時の動作

リセットによりカウンタ動作は停止します。カウンタの値はFFFFHになります。

単発カウントモード(256分周、OUTP非反転出力)が選択され、OUTP、OUTS出力はLになります。

4. 5 モード設定

モード設定は各チャンネルのコントロールワードアドレス(21H、23H、25h)にコントロールワードを書き込むことで行われます。



4.6 カウンタへのカウンタ初期値の設定

カウンタアドレス(20H、22H、24H)に対しておこないます。

カウンタの値は16ビットなので、データの書き込みは下位8ビット、続いて上位8ビットの順に2回に分けて行います。書き込みと読み出しとで同じバッファを共用しているため、書き込みが完了する前に読み出しを行うと書き込みデータが壊れます。

プログラムの実行順序によっては、1回目の書き込み(下位8ビットの書き込み)のつもりでも、実際には2回目のアクセスになってしまっていることがあります。ステータスの読み出しをするとデータリードライトシーケンスがクリアされるので、ステータスの読み出しを実行してからデータの書き込みを行うようにします。

4.7 カウンタの読み出し

カウンタアドレス(20H、22H、24H)に対しておこないます。

カウンタの値は16ビットなので、データの読み出しは下位8ビット、続いて上位8ビットの順に2回に分けて行います。下位8ビットを読み出す時点で上位8ビットもバッファにラッチされているので、下位と上位は時間的に同一時点のデータとして読み出せます。ただし書き込みと読み出しとで同じバッファを共用しているため、読み出しが完了する前に書き込みを行うと読み出しデータが壊れます。

プログラムの実行順序によっては、1回目の読み出し(下位8ビットの読み出し)のつもりでも、実際には2回目のアクセスになってしまっていることがあります。ステータスの読み出しをするとデータリードライトシーケンスがクリアされるので、ステータスの読み出しを実行してからデータの読み出しを行うようにします。

4.8 ステータスの読み出し

コントロールワードアドレス(21H、23H、25H)に対して読み出しを行うとステータスが得られます(図11-7)。ステータスの読み出しをするとデータリードライトシーケンスがクリアされます。

IR[5]	外部入力P05/IR5
IR[4]	外部入力P04/IR4
IR[3]	外部入力P03/IR3
IR[2]	外部入力P02/IR2
IR[1]	外部入力P01/IR1
IR[0]	外部入力P00/IR0

[注意]

IR[0]～IR[7]はパラレルポートP00～P07と端子を共用しています。P00、P02～P07は開発セットでシステムが使用しているため、ユーザーが利用できるのはIR1のみです。

IR0～IR7の割り込みを使用しないで、パラレルポートを出力として使う場合は、対応するIR入力をマスク状態に設定してください。

6. 2 割り込みコントローラのレジスタとI/Oアドレス

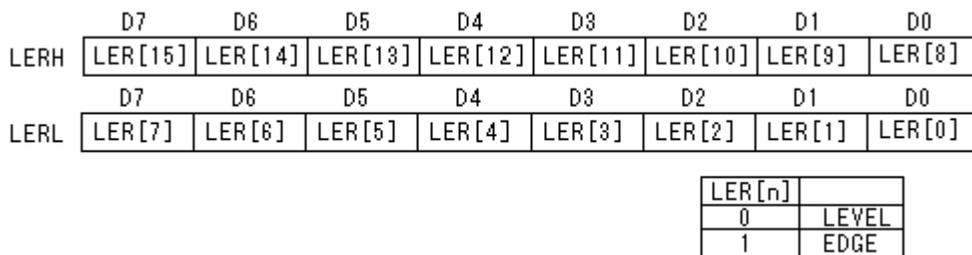
以下のレジスタがあります。

I/Oアドレス	OUT(書き込み)	IN(読み出し)
34H	LERL/PGRL	ISRL
35H	LERH/PGRH	ISRH
36H	IMRL	IMRL
37H	IVR/IMRH	IMRH

6. 2. 1 LER(Level/Edge Register) 書き込み専用(読み出し不可)

割り込み要求入力(CPUに対するINT信号に相当、以下の説明ではIR入力とします)信号のレベルとエッジのモード切り替えを制御します。各IR入力ごとに設定できます。リセット後はすべてのビットが0(レベル)になります。このレジスタへの書き込みはIVR設定前に行う必要があります。

[注意]タイマ/カウンタの割り込みを使用する場合には、対応するIRビットを1(エッジモード)にする必要があります。



[注記]レベルモードの設定では信号のタイミングによって不正割り込みが発生し、全ての割り込みが受付不可になってしまうことがあります。支障の無い限りエッジモードに指定する方が安全です。

6. 2. 2 PGR(Priority Group Register) 書き込み専用(読み出し不可)

IR入力の優先順位グループを設定します。IR入力は番号が大きい方が優先順位が高くなっています(IR[15]が最高でIR[0]が最低)。各IRをHIGH/LOWのいずれかにグループ分けすることで優先順位を変更することができます。リセット後は全ビットが0(Low)になります。このレジスタへの書き込みはIVR設定後にしか行えません。通常使用する頻度は低いと思われるからここではこれ以上詳しい説明は省略します。

	D7	D6	D5	D4	D3	D2	D1	D0
PGRH	PGR[15]	PGR[14]	PGR[13]	PGR[12]	PGR[11]	PGR[10]	PGR[9]	PGR[8]
	D7	D6	D5	D4	D3	D2	D1	D0
PGRL	PGR[7]	PGR[6]	PGR[5]	PGR[4]	PGR[3]	PGR[2]	PGR[1]	PGR[0]

PGR[n]	
0	LOW
1	HIGH

6. 2. 3 IMR(Interrupt Mask Register) 書き込み読み出し可

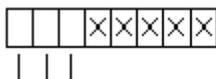
IR入力のマスク状態を設定します。リセット後は全てのビットが1(マスク状態)になっています。マスク状態のIR入力は割り込み許可されません。このレジスタへの書き込みはIVR設定後にしか行えません。

	D7	D6	D5	D4	D3	D2	D1	D0
IMRH	IMR[15]	IMR[14]	IMR[13]	IMR[12]	IMR[11]	IMR[10]	IMR[9]	IMR[8]
	D7	D6	D5	D4	D3	D2	D1	D0
IMRL	IMR[7]	IMR[6]	IMR[5]	IMR[4]	IMR[3]	IMR[2]	IMR[1]	IMR[0]

IMR[n]	
0	no MASK
1	MASK

6. 2. 4 IVR(Interrupt Vector Register) 書き込み専用(読み出し不可)

モード2の割り込み発生時にCPUに送るベクタアドレスの上位3ビットを設定します。このレジスタに書き込みを行う前と後で書き込み可能なレジスタが変化します。



割り込みベクタの上位3ビット

6. 2. 5 ISR(In Service Register)読み出し専用(書き込み不可)

CPUが受けつけて処理中の割り込みに対応するビットがセットされ、RETIが実行されると解除します。このビットがセットされているとき(サービス中のとき)は、それより低いレベルの割り込みは受けつけられません。またサービス中の割り込みは重ねて受けつけはされません。

	D7	D6	D5	D4	D3	D2	D1	D0
ISRH	ISR[15]	ISR[14]	ISR[13]	ISR[12]	ISR[11]	ISR[10]	ISR[9]	ISR[8]
	D7	D6	D5	D4	D3	D2	D1	D0
ISRL	ISR[7]	ISR[6]	ISR[5]	ISR[4]	ISR[3]	ISR[2]	ISR[1]	ISR[0]

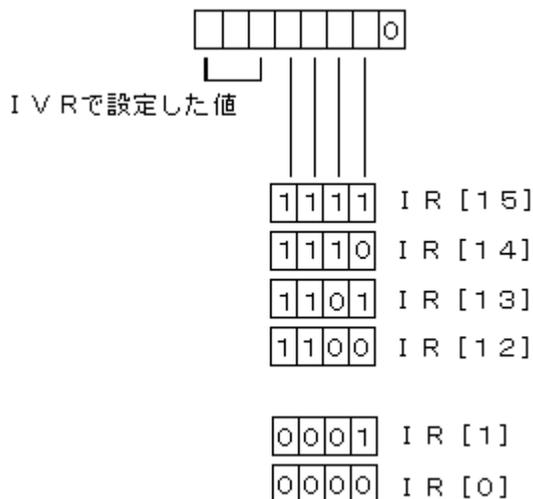
PGR[n]	
0	非サービス中
1	サービス中

6. 3 割り込みベクタの出力

CPUが割り込みを受け付けて割り込みコントローラにアクノリッジを返すと、割り込みコントローラは割り込みレベルに対応する割り込みベクタを、IVRの値と割り込み番号から合成して出力します。CPUはこの値を割り込

みテーブルアドレスの下位8ビットとし、そのときのレジスタの値をアドレスの上位8ビットとすることで、割り込みテーブル中で該当する割り込みプログラムアドレスを算出して、そこにジャンプします。

ZB10K～ZB28K、ND80Kでは割り込みテーブルはRAMのFEE0H～FEFFHに置いてあります。ND80Kはモニタプログラムスタート時点でレジスタにFEHをセットするとともに、割り込みベクタとして割り込みコントローラにE0Hを与えます。



6.4 レジスタ設定シーケンス

割り込みコントローラのレジスタはLERとPGRが同一のアドレス34H、35Hに割り付けられ、IVRとIMRHも同一のアドレス37Hに割り付けられています。書き込み時にはどちらのレジスタが選択されるかを決定しなければなりません。KL5C8012はアクセスする順序で選択を決定しています。リセット後は必ずLERを設定します。次にIVRを設定します。この両レジスタはリセット後ただ1回だけ設定が可能です。ZB10K～ZB28K、ND80Kはモニタプログラムのスタート時点でこのレジスタに書き込みを行っていますからユーザーがLERとIVRを設定することはできません。

ZB10K～ZB28K、ND80KモニタはLERL=FFH、LERH=FFH、IVR=E0Hに設定します。

このあとはIMRとPGRの設定しかできません。IMRとPGRは必要なら何回でも設定ができます。

6.5 割り込み要求の受付

レベルモードではIR入力のHレベルを割り込み要求として認識します。CPUが割り込みに応答した時点でIR=Lになっていると不正割り込みになります。リセット後は全IRがレベルモードになりますがND80Kモニタはスタート時点で全IRをエッジモードに設定しています。

エッジモードではIR入力の立ち上がりエッジを割り込み要求として認識します。該当する割り込みレベルがマスクされていた場合や、優先順位が低くて受け付けられなかった場合でも割り込み要求は保持されます（IR入力が無くなってもクリアされません。不正割り込みにはなりません）。受付可能になった時点でCPUに対して割り込みが発生します。

IR入力が割り込みコントローラに認識された状態で保留されているときに重ねて同じレベルのIR入力があった場合には後からの入力は重ねて保持はされません。

IR入力が割り込みコントローラに受けつけられると、CPUが割り込み受付可能になったタイミングで割り込みコントローラからCPUにINT信号が出されます。CPUがアクノリッジを返して割り込みコントローラが割り込みベクタを出力した時点でISRがセットされます。ISRはCPUがRETIを実行するまでクリアされません。ISRがセットされた時点で同じレベルの次のIR入力が受付可能になります。

6.6 リセット時の動作

IMRはFFFFHになります(全IRマスク状態)。

ISR、LER、PGRは0000Hになります。

IVRは未設定の状態になります。割り込みを使用するにはIVRの設定が必要です。ND80Kモニタはスタート時点でIVRとLERを設定しますからユーザーが設定する必要はありません(設定できません)。

ZB10K~ZB28K、ND80KモニタはLERL=FFH、LERH=FFH、IVR=E0Hに設定します。

7. MMU(メモリマネジメントユニット)

KL5C8012(Z80A)がメモリをアクセスする命令は16ビット長です。16ビットでは0000H~FFFFHの64KBのメモリアドレスしかアクセスできません。KL5C8012は最大512KBのメモリ空間を内蔵のMMUの助けを借りてアクセスすることができます。MMUはバンク切り替えという方法で512KBのメモリアドレスの中から任意の64KBをCPUのアクセスできるメモリ空間に割り当てます。

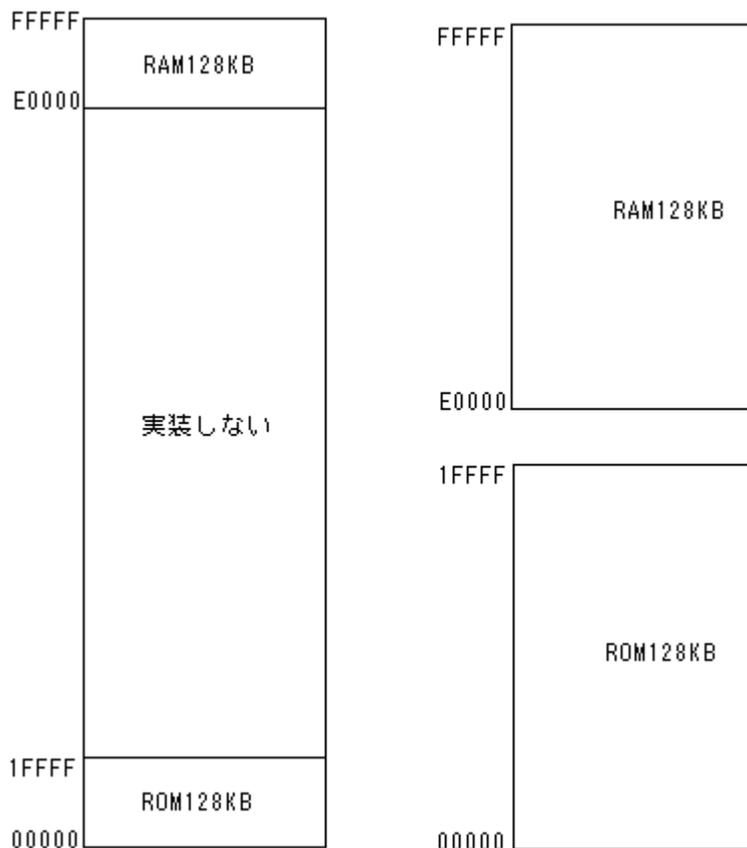
[注記]

ZB10K~ZB28K、ND80Kはハードウェアの都合でROM128KB、RAM128KBの合計256KBをアクセスできる回路になっています。

MMUはI/Oアドレス00H~07Hに割り当てられたレジスタによってバンクメモリをコントロールします。レジスタの設定の仕方は、川崎製鉄発行のKL5C8012ハードウェアマニュアルでは非常に理解しづらい説明がなされています。

ここではそれをできるだけわかりやすい説明に変えて示します。

ZB10K~ZB28K、ND80Kはメモリ最大実装時では次のようになります。



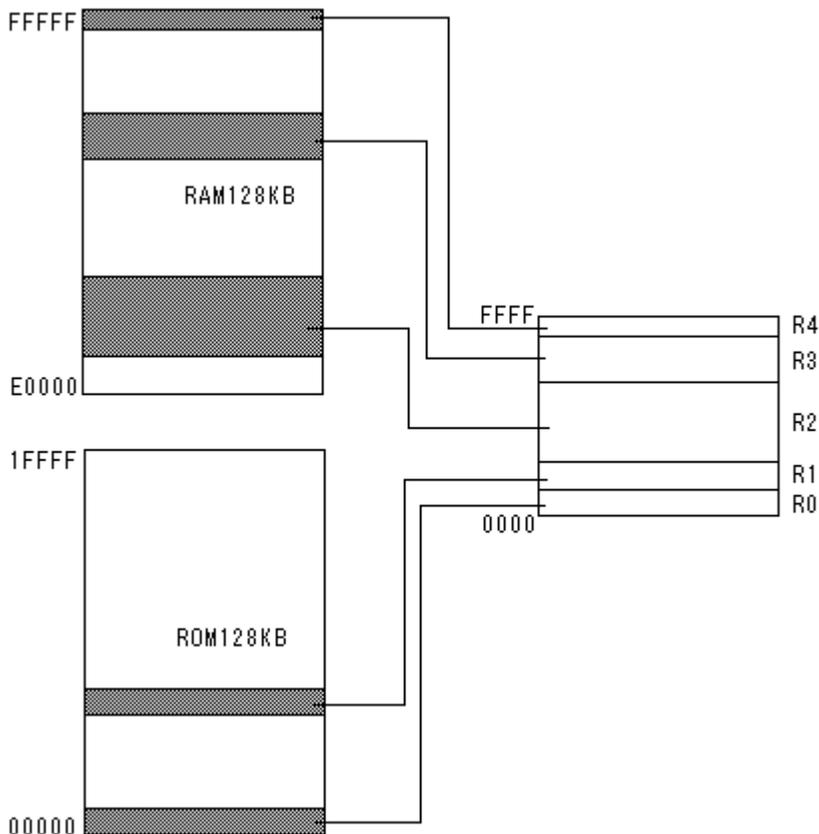
左図がマップを正しいスケールで示したのですが、使用しない空間が殆どですから、使用しない部分を省略して右図のように示します。

[注記]

前図はZB10K～ZB28K、ND80KをBASICシステムに拡張したときのメモリ構成です。図のようなメモリの全範囲をCPUが直接アクセスできる64KBのアドレス(0000H～FFFFH)に割り当てるためにMMUが使われています。

次図のように64KBの空間をR0～R4の5個のブロックに分割します。分割するメモリサイズは1KB単位で行うことができます。

この各ブロックを実際のROM、RAMアドレスに結び付けます。MMUにパラメタを与えることでR0～R4のメモリアドレスに対してアクセスすると、左側に図示されているそれぞれのメモリがアクセスされます。この結び付けのために00H～07HのI/Oアドレスが使用されます。00H～07Hにルールに従って算出した値をセットすることでこの機能が実現されます。



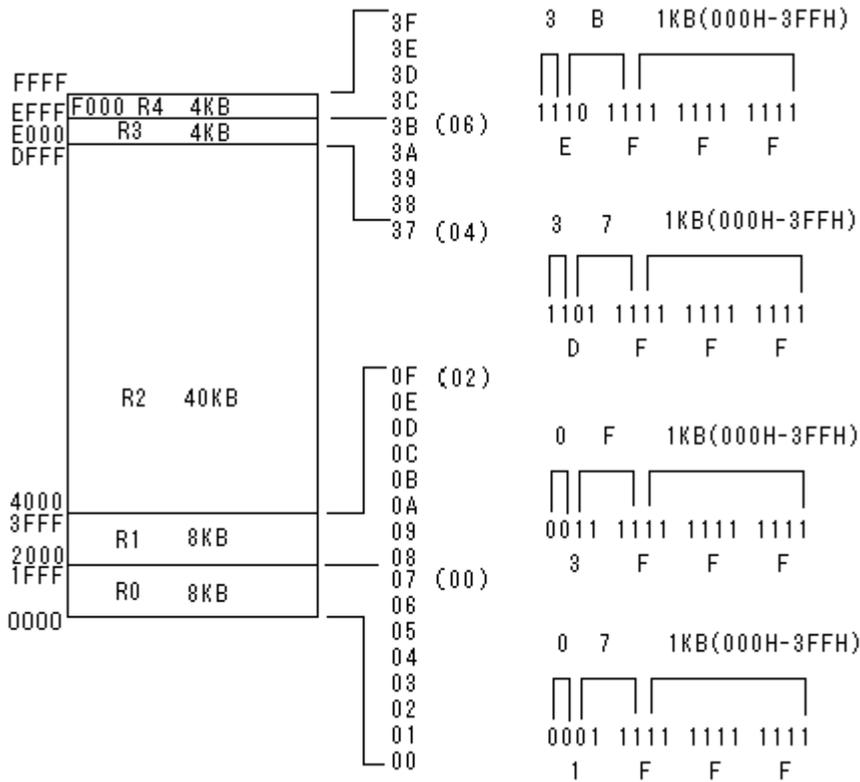
具体例で説明します。

- R4 F000H～FFFFH 4KB
- R3 E000H～EFFFH 4KB
- R2 4000H～DFFFH 40KB
- R1 2000H～3FFFH 8KB
- R0 0000H～1FFFF 8KB

まずこの境界のアドレスをMMUに与えます。境界のアドレスは各ブロックの最後のアドレスになります。1FFFH、3FFFH、DFFFH、EFFFHの4つになります。このアドレスを00H、02H、04H、06Hの各アドレスに対して書き込むのですが、アドレスは16ビットであるのに対して書き込むデータは1バイト(8ビット)ですからこのままでは書き込めません。工夫が必要になります。

ブロック分割の最小単位は1KBと定義されています。とすると次図に示したように境界のアドレスの下位10ビット(ビット0～ビット9)は必ず1になります。ですからこの部分は外してしまいます。そしてあらためてビット10

一ビット15までの6ビットに注目すると、00-3Fという数値で表現できることになります。これは0000Hから1KBごとに区切ってそこに先頭から00、01、02とナンバーをふっていったときのそのナンバーを示していることにもなります。R0ブロックは8KBなのでその終りは1KBずつに区切った8番目(07)になります。R1も8KBですから前から16KBということになり、その終りは16番目(0F)になります。どちらの考えでも同じことです。そのようにして算出すると、前図のマップの場合、I/Oアドレス00HIには07Hを、02HIには0FHを、04HIには37Hを、06HIには3BHを書き込めばよいことになります。



つぎに結び付けられる実メモリアドレスの算出です(次図)。

じつはメモリの割り当て方には固定部分があります。一番先頭のブロック(図ではR0)はROMの00000Hから割り当てなければいけません。また一番最後のブロック(図ではR4)はRAMの最後FFFFFHがブロックの終りになるように割り当てなければいけません。

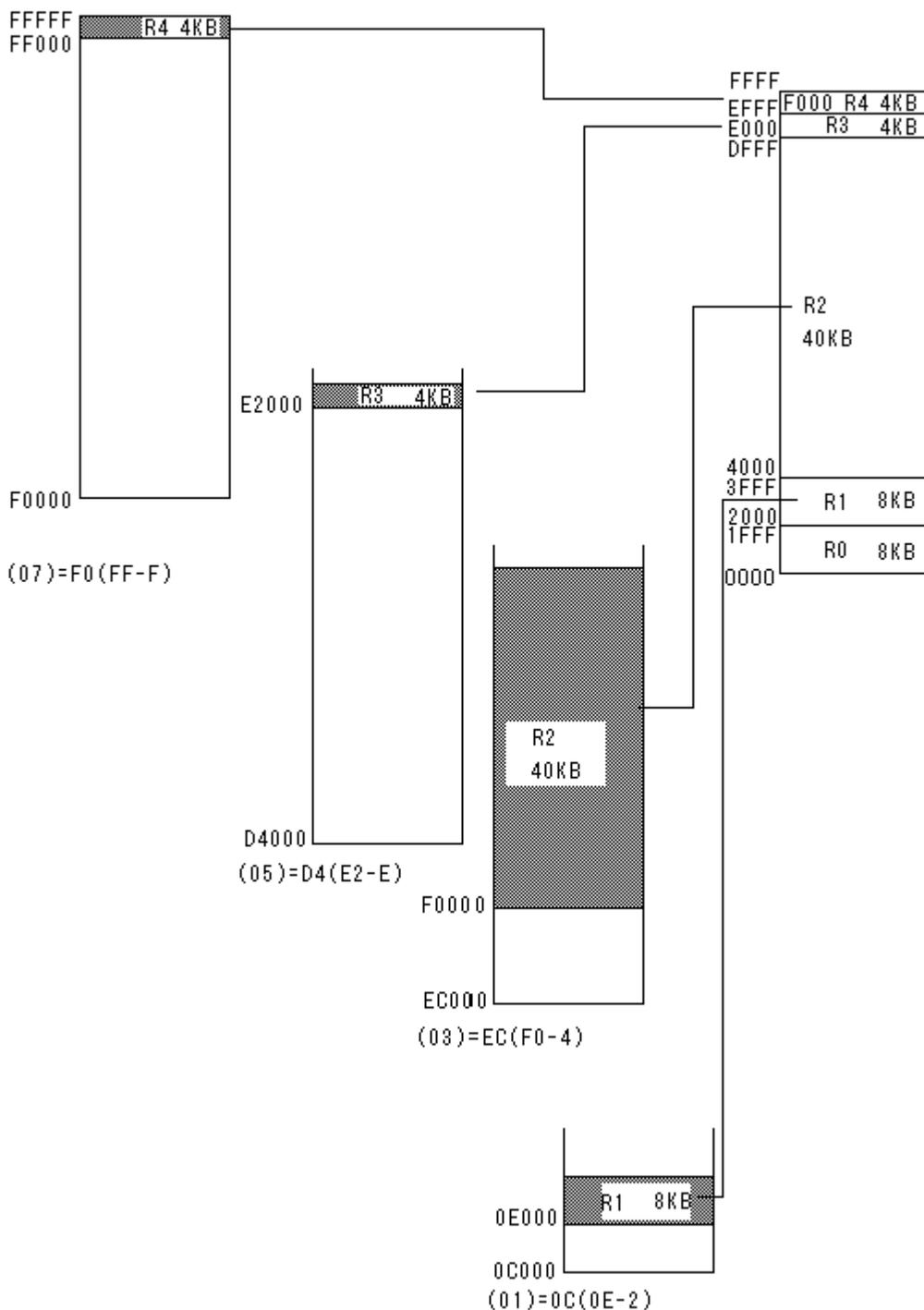
さてさきほどは境界を前のブロックの最後のアドレスで示しました。今度は割り当てたいブロックの先頭アドレスと実際のメモリアドレスを重ねるように配置します。すでに説明しましたようにR0は0000Hが先頭アドレスでこれはROMの00000Hに割り付けることになりますから、決まってしまう。したがってR1~R4について指定することになります。

次図ではR1はROMの0E000Hから始るメモリアドレスと結びつけるようになっています。これをMMUIに示さなければいけません。

これについてはKL5C8012の説明書では判りにくい説明をしています。ここでは次のようにかんがえます。対象としているブロックを64KBの空間ごと、実際のメモリにもって行ってアドレスを重ね合わせます。R1の場合、2000H-3FFFHのブロックを0E000Hからの実メモリアドレスに重ねます。このときの0000Hに相当する実メモリアドレスがMMUIに与えるべきデータになります。図では0C000Hになります。実際にはその上位8ビットをMMUIに与えます。つまり0CHです。これは計算では割り付ける実メモリアドレスの上位8ビットからR1~R4の先頭アドレスの上位4ビットの値を引くことで求められます。このようにして得た0CHをI/Oアドレス01HIに書き込みます。

R2は4000H-DFFFHのブロックを0F000Hからの実メモリアreaに重ねます。このときの0000Hに相当する実メモリアドレスはEC000Hになります。その上位8ビット、ECHをI/Oアドレス03Hに書き込みます。ECHは図にもあるようにF0-4の計算から求められます。

R3はE000H-EFFFHのブロックをE2000Hからの実メモリアreaに重ねます。このときの0000Hに相当する実メモリアドレスはD4000Hになります。その上位8ビット、D4HをI/Oアドレス05H



に書き込みます。D4HはE2-Eの計算から求められます。D4000Hはメモリが存在しないアドレスですが構いません。

R4に対する制御データを書き込むI/Oアドレスは07ですが、この値は常にF0Hになります。前に説明した最後のブロックの条件、終りのアドレスはFFFFFFHに割り付けなければならない、ということから決まっています。KL5C8012によってI/Oアドレス07HにはF0Hが常に設定されるため、ユーザーが書き込む必要はありません。

[注記1]

ここではR0-R4の全ブロックをアクティブにするように設定しましたが、必要な設定のみ行うこともできます。R0-R4設定のルールはI/Oアドレスに与える値が(00H) < (02H) < (04H) < (06H)になるように設定したときに全てのブロックが有効になるということです。値が等しいか大小関係が逆転すると、その境界の後ろのブロックが有効になり前のブロックが消滅します。R0:R1の境界データは(00H)です。(00H)の値として00Hを設定するとR1が有効になりR0が消滅します。

リセット後は(00H) = (02H) = (04H) = (06H) = 3FH、(01H) = (03H) = (05H) = 00H、(07H) = F0H(固定)になります。この設定ではR0のみになり64KBがROMの00000H-0FFFFHになります。

ZBK-V3BASICにエントリすると(00H) = 07H、(02H) = 0FH、(04H) = 37H、(06H) = 3BH、(01H) = 0CH、(03H) = F0H、(05H) = F0Hに設定します。

[注記2]

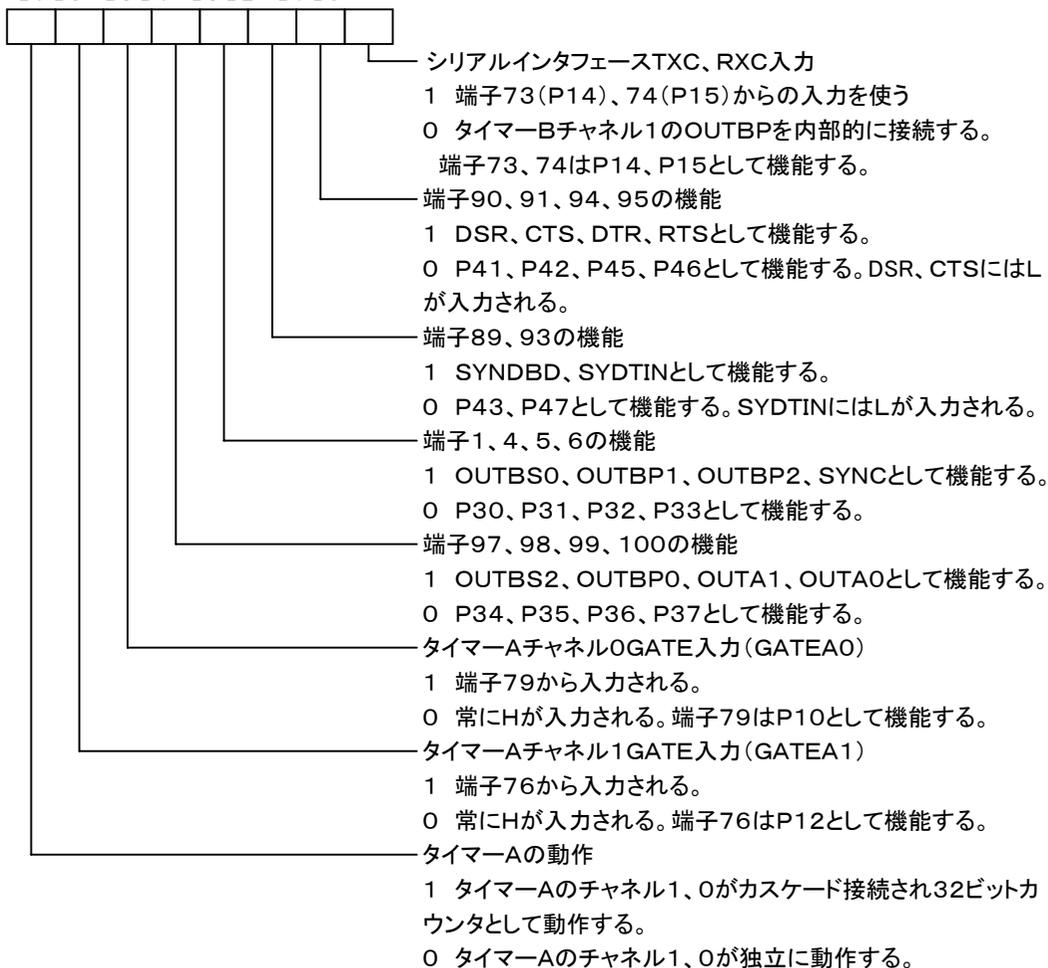
ここで説明した方法は簡易型で設定できるアドレスに制約があります。ここでの例ではブロックの大きさは4KB単位になっています。実際には1KB単位の設定が可能です。しかしその場合には(01H)、(03H)、(05H)で行った計算では不足になります。メモリアドレスの上位8ビット、上位4ビットを対象にしていますから、4KB単位の計算をしています。この下の2ビットの計算が必要になります。算出した結果の2ビットは、空きになっている(00H)、(02H)、(04H)、(06H)の上位2ビットに入れられます。計算が面倒になってわかりづらくなりますし、1KB単位でブロックを設定する必要性はそれほどないと思いますので、ここで説明したように4KB単位で使う方が得策です。

8. 動作モードの設定

KL5C8012は限られた端子数に対してできるだけ多くの機能を実現するために、1本の端子に複数の機能を割り当てています。パラレルポートとカウンタ/タイマ/シリアルインターフェースの入出力が同じ端子に割り当てられています。どちらの端子を利用するかはシステムコントロールレジスタSCR0(I/Oアドレス=3AH)、SCR1(I/Oアドレス=3BH)に設定値を書き込むことで決定されます(次ページ図)。

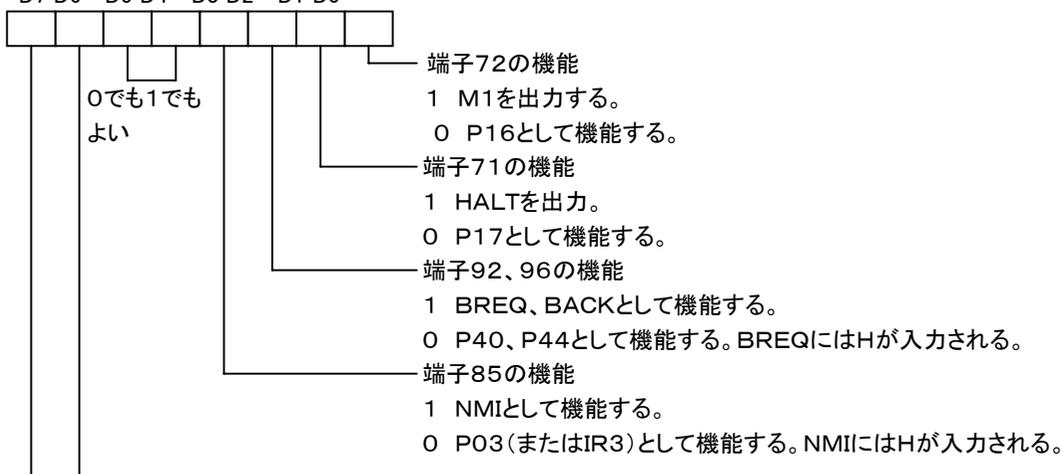
SCR0

D7 D6 D5 D4 D3 D2 D1 D0



SCR1

D7 D6 D5 D4 D3 D2 D1 D0



外部バスウェイトコントロール(次ページの表参照)

ZB10K~ZB28K、ND80KではD7=0、D6=0以外の設定をしないようにしてください。

	外部メモリ(00000H-7FFFFH)	外部メモリ(80000H-FFDFH)	外部I/O
0 0	1ウェイト	1ウェイト	2ウェイト
0 1	1ウェイト	1ウェイト	2ウェイト
1 0	1ウェイト	0ウェイト	1ウェイト
1 1	0ウェイト	0ウェイト	1ウェイト

FFE00H~FFFFFHには常にKL5C8012内蔵RAMが割り当てられます。

9. I/Oアクセスタイミング

I/Oアクセス(2ウェイト時)

EIORDパルス幅 約300nsec

EIOWRパルス幅 約280nsec

10. 命令実行時間

KL5C8012はZ80A(4MHz、6MHz)に比べて10MHzとCPUクロックとしても約倍速になりますが、さらに独自のアーキテクチャによって実行時間が短縮されており、Z80Aで4クロックかかっていた命令は1クロックで実行されます。

プログラムで正確なパルスを作りたいときなど、命令の実行時間を計算してパルス幅を求めます。

10MHzの1クロックは100nsecです。たとえば2クロックの命令は200nsecで実行されることになりますが、ZB10K~ZB28K、ND80Kではメモリアクセスに1クロックウェイトしていますから、その命令のメモリアクセス数(バイト数)分だけのクロックタイムが加算されます。その上にI/Oアクセス命令はI/Oリードライト時に+1クロックウェイトしていますからその分の加算も必要です。

別冊KL5C8012(Z80)命令説明書ではウェイトを加算した実際のクロック数を各命令毎に記してあります。

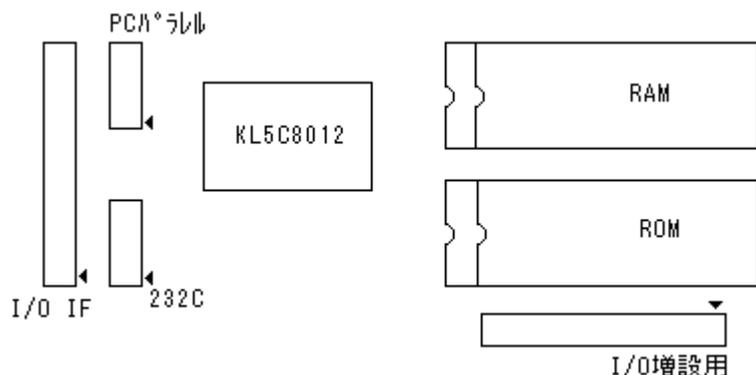
11. KL5C8012内部回路のI/Oアドレス

I/O アドレス	ブロック名	OUT(書込み)時の機能	IN(読出し)時の機能
00	MMU	BBR1(境界/ベースレジスタ1)	BBR1(境界/ベースレジスタ1)
01		BR1(ベースレジスタ1)	BR1(ベースレジスタ1)
02		BBR2(境界/ベースレジスタ2)	BBR2(境界/ベースレジスタ2)
03		BR2(ベースレジスタ2)	BR2(ベースレジスタ2)
04		BBR3(境界/ベースレジスタ3)	BBR3(境界/ベースレジスタ3)
05		BR3(ベースレジスタ3)	BR3(ベースレジスタ3)
06		BBR4(境界/ベースレジスタ4)	BBR4(境界/ベースレジスタ4)
07		BR4(ベースレジスタ4)	BR4(ベースレジスタ4)
08-1F	川崎製鉄に	より使用予約	
20	タイマ/カウンタ B	チャネル0カウンタ	チャネル0カウンタ
21		チャネル0コントロールワード	チャネル0ステータス
22		チャネル1カウンタ	チャネル1カウンタ
23		チャネル1コントロールワード	チャネル1ステータス
24		チャネル2カウンタ	チャネル2カウンタ
25		チャネル2コントロールワード	チャネル2ステータス
26	川崎製鉄に	より使用予約	
27	川崎製鉄に	より使用予約	
28	タイマ/カウンタ A	チャネル0カウンタ	チャネル0カウンタ
29		チャネル0コントロールワード	チャネル0ステータス
2A		チャネル1カウンタ	チャネル1カウンタ
2B		チャネル1コントロールワード	チャネル1ステータス
2C	パラレルポート A	ポート0	ポート0

2D		ポート0方向制御レジスタ	ポート0方向制御レジスタ
2E		ポート1	ポート1
2F		ポート1方向制御レジスタ	ポート1方向制御レジスタ
30	パラレルポートB	ポート0	ポート0
31		ポート1	ポート1
32		ポート2	ポート2
33		コントロールコマンド	方向制御レジスタ
34	割込コントローラ	LERL/PGRL	ISRL
35		LERH/PGRH	ISRH
36		IMRL	IMRL
37		IVR/IMRH	IMRH
38	シリアルポート	送信データ	受信データ
39		コマンド/モード設定	ステータス
3A	システム制御	SCRO	SCRO
3B		SCR1	SCR1
3C-3F	川崎製鉄に	より使用予約	

4章 コネクタ端子図

ZB10K~ZB28K、ND80KのCPUまわりのコネクタは同じ配置になっています。下図を参照してください(ZB25K、ZB27Kは5章を参照してください)。



パラレルポート入出力端子(1) I/O IF

P16	26	25	P15
P14	24	23	P13
P12	22	21	P11
P10	20	19	P40
P43	18	17	P37
P36	16	15	P35
P34	14	13	P33
P32	12	11	P31
P30	10	9	P27
P26	8	7	P25
P24	6	5	P23
P22	4	3	P21
P20	2	1	GND

基板上の向きと同じにしております

パラレルポート入出力端子(2) PCパラレル

P44	10	9	P17
P07	8	7	P06
P05	6	5	P04
P03	4	3	P02
GND	2	1	P47

基板上の向きと同じにしております

プログラム開発時はDOS/Vパソコンの
プリンタポートに接続する(下記の接続になる)。

P02	STB
P03	D3
P04	D4
P05	D5
P06	D6
P07	D7
P47	READY

パラレルポート入出力端子(3) 232C

(RS232Cインターフェース接続用)

+5V	10	9	+5V
P42(CTS)	8	7	P46(RTS)
P41(DSR)	6	5	GND
P45(DTR)	4	3	TXD
RXD	2	1	GND

基板上の向きと同じにしております

I/O増設用バスコネクタ

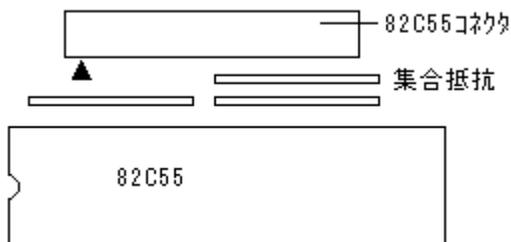
▷ RESETIN	1	2	GND
+5V	3	4	INT(R[1])
GND	5	6	
	7	8	RESETOUT
D0	9	10	D1
D2	11	12	D3
D4	13	14	D5
D6	15	16	D7
A0	17	18	A1
A2	19	20	A3
A4	21	22	A5
A6	23	24	A7
IORD	25	26	IOWR

82C55入出力端子

82C55用コネクタは82C55の21pin~40pinに平行して近くに配置してあります。

82C55コネクタ

▷ PA5	1	2	PA4
PA7	3	4	PA6
PA2	5	6	PA3
PA0	7	8	PA1
+5V	9	10	GND
PC6	11	12	PC7
PC4	13	14	PC5
PC1	15	16	PC0
PC3	17	18	PC2
PB6	19	20	PB7
PB4	21	22	PB5
PB2	23	24	PB3
PB0	25	26	PB1



5章 LCD表示器などの接続について

1. LCD表示器の接続

ZB10K、ND80K以外のZBKボードは別売の20字×2行LCD表示器を接続することができます。
ボード上の16Pコネクタに接続します。

LCD表示用命令はWRITEですが、LCD表示器を接続してROMスタートした場合にはPRINT文が実行されるとLCDに表示されます。

また実行時のエラーコードもLCDに表示されます。

[注記1]

ROM実行時のPRINT文によるLCD表示にはテクニックが必要です。LCD表示は40字しか表示できません。表示後に改行する普通のPRINT文では表示後にすぐ改行されてしまうため(LCDに対しては表示クリアになる)表示されません。また40字を超える部分は表示されません。

このためROM化後のLCD表示を意識したPRINT文は次のように書きます。

PRINT:PRINT ABC, "XYZ";

↑表示前に改行

↑表示後改行なし

[注記2]

開発セットのROM WRITERボードをZB××Kに接続して、ROMからRAMへの読みこみやROMへの書き込みを行うときは、LCDを外してください。

2. セントロニクスプリンタの接続

ZB25K、ZB27Kは当社専用のプリンタケーブルでプリンタ接続をすることができます。

LPRINT文の結果がプリンタに出力されます。

[注記]最近のWindows専用プリンタは接続できません。MSDOSで使用可能なプリンタに限ります。

3. キーボードの接続

ZB25K、ZB27Kは別売のフルキーボードまたは5×5キーボードを接続することができます。

ROM化したBASICプログラムでINPUT、INKEY\$, INPUT\$を実行したときはDOS/Vからではなくて外付けした別売のフルキーボードまたは5×5キーボードからの入力になります。

プリンタ接続用コネクタ

	26	25	
	24	23	
GND	22	21	P40(RDY)
GND	20	19	
GND	18	17	P17
GND	16	15	P16
GND	14	13	P15
GND	12	11	P14
GND	10	9	P13
GND	8	7	P12
GND	6	5	P11
GND	4	3	P10
GND	2	1	P24(STB)



キーボード接続用コネクタ

R6	26	25	R7
R5	24	23	
R4	22	21	
R3	20	19	
R2	18	17	P43(SHFT)
R1	16	15	
R0	14	13	
GND	12	11	
	10	9	RESET
P33(C3)	8	7	P37(C7)
P32(C2)	6	5	P36(C6)
P31(C1)	4	3	P35(C5)
P30(C0)	2	1	P34(C4)



4. ZB25K、ZB27Kコネクタ配置図

(他のボードは4章を参照して下さい)

